

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-300470

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H04N 5/93

H04N 5/06

(21)Application number : 04-101031

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 21.04.1992

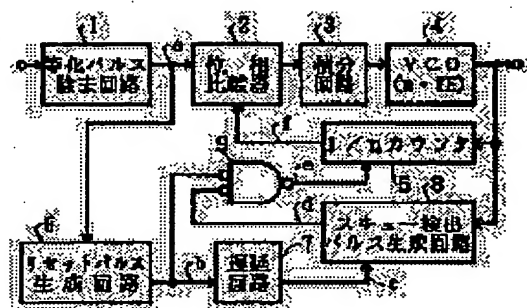
(72)Inventor : NAKADA TOMOYUKI

(54) CLOCK SIGNAL GENERATION CIRCUIT

(57)Abstract:

PURPOSE: To promptly synchronize with an input signal in a clock signal generation circuit using a PLL.

CONSTITUTION: In a clock signal generation circuit generating a clock signal synchronized with an input signal in a PLL circuit provided with a phase comparator 2, an integration circuit 3, a VCO 4 and a 1/n counter 5, a skew is detected from an extracted horizontal signal a when the input signal is a VTR reproduced signal, a 1/n counter 5 is reset by the detected signal in a reset pulse e and the synchronization with the input signal is promptly performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-300470

(43)公開日 平成5年(1993)11月12日

(51)IntCl⁵

H 0 4 N 5/93
5/06

識別記号

庁内整理番号

F I

技術表示箇所

A 4227-5C
Z 9070-5C

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-101031

(22)出願日 平成4年(1992)4月21日

(71)出願人 000006811

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 中田 智之

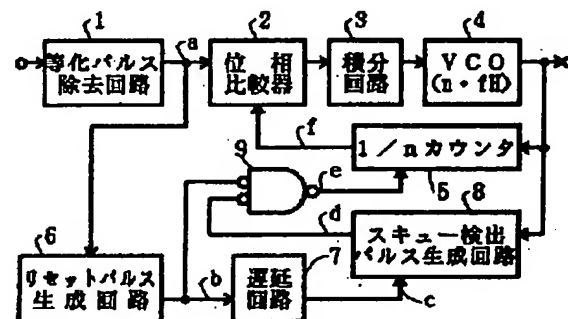
川崎市高津区末長1116番地 株式会社富士
通ゼネラル内

(54)【発明の名称】 クロック信号生成回路

(57)【要約】

【目的】 PLLを用いたクロック信号生成回路において、速やかに入力信号に同期させる。

【構成】 位相比較器2、積分回路3、VCO4および1/nカウンタ5とを具備したPLL回路にて入力信号に同期したクロック信号を生成するクロック信号生成回路において、入力信号がVTR再生信号の場合、抽出の水平同期信号aよりスキューを検出し、同検出の信号によりリセットパルスeにて前記1/nカウンタ5をリセットして速やかに入力信号に同期させる。



【特許請求の範囲】

【請求項1】 位相比較器、積分回路、電圧制御発振器および分周カウンタとを具備したPLL回路にて水平同期信号に同期したクロック信号を生成するクロック信号生成回路であって、前記分周カウンタはリセット機能を有し、VTR再生信号より抽出の水平同期信号よりスキュー検出回路にてスキューを検出し、同検出の信号により前記分周カウンタをリセットするようにしたことを特徴とするクロック信号生成回路。

【請求項2】 前記スキュー検出回路は、入力の前記水平同期信号よりリセットパルス生成するリセットパルス生成回路と、同リセットパルス生成回路よりのパルスを所定時間遅延する遅延回路と、同遅延回路出力のパルスにてリセットし、スキュー検出のためのパルスを生成するスキュー検出パルス生成回路と、前記リセットパルス生成回路の出力と前記スキュー検出パルス生成回路の出力とをそれぞれ入力とし、スキューを検出してリセットパルスを出力するゲート回路とからなる請求項1記載のクロック信号生成回路。

【請求項3】 前記スキュー検出パルス生成回路は、前記電圧制御発振器出力のクロック信号にて略2水平周期所定のスキュー検出パルスを生成出力するカウンタで構成した請求項2記載のクロック信号生成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はクロック信号生成回路に関し、特に入力の前記水平同期信号に同期した安定なクロック信号を生成する回路に関する。

【0002】

【従来の技術】 テレビ受像機等の映像信号のデジタル処理においては、水平同期信号に同期し、水平同期周波数 f_H の n 倍、例えば910倍の周波数をもったクロック信号が必要となる。このようなクロック信号を生成する従来の回路の一例を図3に示す。同図において、映像信号より分離の複合同期信号は、等化パルス除去回路1を介して水平同期信号 a が抽出され、位相比較器2に入力される。位相比較器出力の信号は積分回路3を介して位相差相応の制御電圧に変換され電圧制御発振器（以降、VCOと略す）4に入力される。VCO4は入力の電圧レベルに応じて水平同期周波数 f_H の n 倍の周波数の信号を発振し、この出力はクロック信号として装置のデジタル処理に使用されると共に、 $1/n$ カウンタ5に入力される。 $1/n$ カウンタ5は入力のクロック周波数を $1/n$ にした比較信号 f を出力し、前記位相比較器2にて前記水平同期信号 a と比較される。すなわち、位相比較器2、積分回路3、VCO4及び $1/n$ カウンタ5による閉ループによって、水平同期信号 a とVCO4での発振信号が所定の位相関係を維持するPLL（Phase Locked Loop）回路を構成し、水平同期信号 a にロックしたクロック信号を得ることができる。

【0003】 ところが上述の回路において、入力の前記信号がVTR再生信号の場合は、ヘッドの切り換えのとき発生するスキューのため水平同期信号が不連続となり、その結果PLLのロックを外れてクロック信号の同期が乱れ、再び安定するまでに時間が掛かるという問題点があった。図4はVTRヘッド切り換え時に発生するスキューの説明図である。図4において、（A）は映像信号に対するヘッド切換位置の関係を示し、（B）はヘッド切り換え時に出力される水平同期信号のタイミングを示す。

例えば、VHS方式VTRにおいては、ヘッドの切り換えは（A）図に示す如く垂直周期毎に行われ、垂直同期信号の5～8水平周期前の任意の点にてオーバーラップしてヘッド1からヘッド2に切り換わる。（B）図（イ）はヘッド1の出力する水平同期信号を示し、（ロ）はヘッド2出力の水平同期信号を示す。いま、タイミング20の点でヘッド1からヘッド2に切り換わると（ハ）に示す如き水平同期信号 a が得られ、この場合、スキューにより切換点における同期信号の周期が短くなり、次の同期信号からは正常周期に戻る。また、タイミング21の点でヘッドが切り換わると（ニ）に示す如き水平同期信号 a が得られ、この場合は、切換点における同期信号の周期が長くなり、次の同期信号からは正常周期に戻る。すなわち、ヘッド切り換えの際に、ヘッド1とヘッド2との水平同期信号に位相差があると、結果として、 $1/n$ カウンタ5出力の比較信号 f との位相差となってPLL回路の動作は乱れ、安定する迄の間の映像が乱れることになる。

【0004】

【発明が解決しようとする課題】 本発明はこのような点に鑑みなされたもので、VTR再生信号におけるスキューに対して、速やかに水平同期信号に同期し、安定したクロック信号を生成するクロック信号生成回路を提供するものである。

【0005】

【課題を解決するための手段】 本発明は上述の課題を解決するため、位相比較器、積分回路、電圧制御発振器および分周カウンタとを具備したPLL回路にて水平同期信号に同期したクロック信号を生成するクロック信号生成回路であって、前記分周カウンタはリセット機能を有し、VTR再生信号より抽出の水平同期信号よりスキュー検出回路にてスキューを検出し、同検出の信号により前記分周カウンタをリセットするようにしたクロック信号生成回路を提供するものである。

【0006】

【作用】 以上のように構成したので、本発明によるクロック信号生成回路においては、入力の前記水平同期信号に基づきスキュー検出用パルスを生成し、同スキュー検出用パルスと前記水平同期信号とによりスキューを検出し、同検出の信号により $1/n$ カウンタをリセットし、速やかに切り換えのヘッド出力の水平同期信号に同期せしめ

る。

【0007】

【実施例】以下、図面に基づいて本発明によるクロック信号生成回路の実施例を詳細に説明する。図1は本発明によるクロック信号生成回路の一実施例を示す要部ブロック図、図2は本回路の動作を示すタイムチャートである。なお、図中、図3と同一部分には同一符号を付し重複説明を省略する。図1において、6はリセットパルス生成回路で、入力 $\text{の水平同期信号} a$ に基づき同水平同期信号 a の同期パルスの略中心に、例えば1クロック幅のリセットパルス b を生成する。7は遅延回路で、リセットパルス b を所定時間遅延した、例えば2クロック遅れのパルス c を出力する。8はスキュー検出パルス生成回路で、略2水平周期を計数するカウンタ等で構成され、前記遅延回路7出力のパルス c によりリセットされ、VCO4出力のクロック信号を計数して所定幅(Lレベル)のスキュー検出パルス d を生成する。9はゲート回路で、前記リセットパルス b とスキュー検出パルス d とを入力とし、同パルス b 、 d の一致によりリセットパルス e を出力して、 $1/n$ カウンタ5をリセットする。

【0008】次に、本発明によるクロック信号生成回路の動作を図2を参照しながら説明する。まず、定常動作10の安定状態においては、水平同期信号 a の同期パルスの中心位置と比較信号 f の立ち下がり位置は略一致した位相関係にて位相比較器2に入力される。このとき、リセットパルス b の位置はスキュー検出パルスの「H」レベルにありゲート回路9より出力はないので、従って、 $1/n$ カウンタ5がリセットされることはなく正常なPLL動作を続ける。次に、スキュー応答11の場合においては、ヘッドの切り換えにより水平同期信号 a は1水平周期より短いタイミングの同期パルス13が現れる。この同期パルス13に基づきリセットパルス b が生成される。このとき、スキュー検出パルスはスキューの有無を検出する「L」レベルにあり、従って、前記リセットパルス b はゲート回路9を介してリセットパルス e として出力され、 $1/n$ カウンタ5はリセットされる。 $1/n$ カウンタ5はリセット点より時間の計数をスタートし、1水平周期経過の点で立ち下がる比較信号 f を生成し位相比較器2に出力する。すなわち、同期パルス13の次の同期パルスのタイミングには、略位相同期した比較信号 f が生成され、従って、切り換えのヘッドの水平同期信号への同期引き込みが速やかに行われる。また、スキュー検出パルス生成回路は、遅延のパルス c にて若干遅れてリセットされ、リセット点より正規のタイミングのスキュー検出パルスを生成出力する。次に、スキュー応答12の場合においては、ヘッドの切り換えにより水平同期信号 a は、1水平周期より長いタイミングで同期パルス14が現れる。このとき、スキュー検出パルス生成回路は、略2水平周期のカウンタにて構成されているので、同期パ

ルスの周期が長くなっても2水平周期までは所定のパルスを生成出力する。従って、スキュー検出パルス d はスキュー検出の「L」レベルにあり、前記同期パルス14に基づくリセットパルス b はゲート回路9を介して $1/n$ カウンタ5をリセットし、 $1/n$ カウンタ5はリセット点より時間の計数をスタートし、1水平周期経過の点で立ち下がる比較信号 f を生成し位相比較器2に出力する。すなわち、同期パルス13の次の同期パルスのタイミングには、略位相同期した比較信号 f が生成され、従って、切り換えのヘッドの水平同期信号への同期引き込みが速やかに行われる。また、スキュー検出パルス生成回路はパルス c によるリセットにて正規のタイミングに戻る。また、ヘッド切り換えの際の水平同期信号 a の位相差が小さく、同水平同期信号 a に基づくリセットパルス b がスキュー検出パルス d の「H」レベルと一致の場合は、リセットパルス e が出力されないで、正常なPLL動作を損なうことはない。

【0009】

【発明の効果】以上に説明したように、本発明によるクロック信号生成回路においては、入力 $\text{の水平同期信号} a$ に基づきスキュー検出パルスを生成し、同スキュー検出パルスと前記水平同期信号とによりスキューを検出し、同検出の信号により $1/n$ カウンタをリセットするようにしたので、VTR再生信号のヘッド切り換え時に発生するスキューに対して、速やかに切り換えのヘッド出力の水平同期信号に同期し、スキューによる影響を低減して安定したクロック信号を得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明によるクロック信号生成回路の一実施例を示すブロック図である。

【図2】本発明によるクロック信号生成回路の動作を示すタイムチャートである。

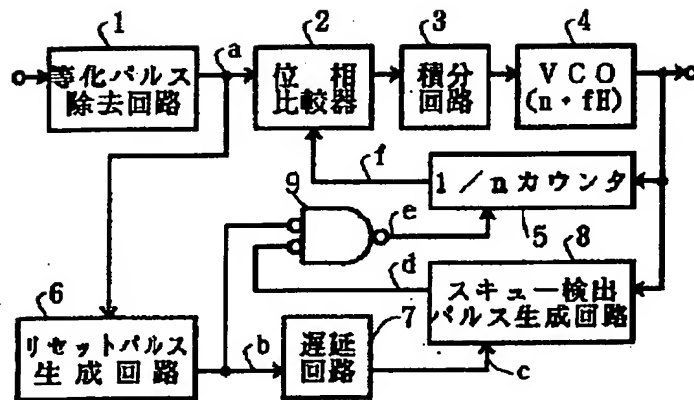
【図3】従来のクロック信号生成回路の一例を示すブロック図である。

【図4】VTRヘッド切り換え時に発生するスキューの説明図で、図4(A)は映像信号に対するヘッド切換位置の関係図、図4(B)はヘッド切り換え時の水平同期信号のタイミングを示す図である。

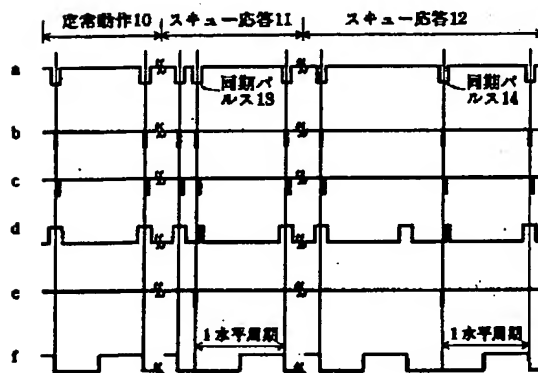
【符号の説明】

- 1 等化パルス除去回路
- 2 位相比較器
- 3 積分回路
- 4 VCO
- 5 $1/n$ カウンタ
- 6 リセットパルス生成回路
- 7 遅延回路
- 8 スキュー検出パルス生成回路
- 9 ゲート回路

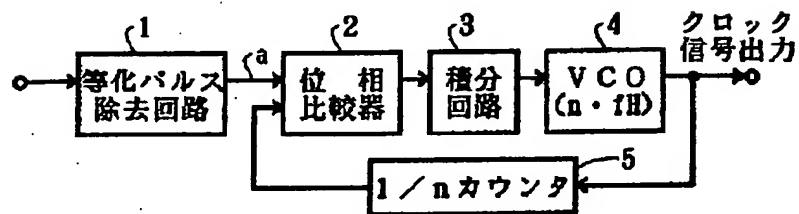
【図1】



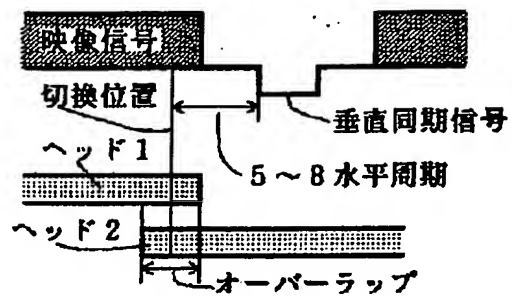
【図2】



【図3】



(A)



(B)

